

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

8887875

Basic Patent (No,Kind,Date): JP 1228175 A2 19890912 <No. of Patents: 002>

THIN FILM TRANSISTOR MATRIX (English)

Patent Assignee: FUJITSU LTD

Author (Inventor): KAWAI SATORU; TAKIZAWA HIDEAKI; ICHIMURA TERUHIKO

IPC: *H01L-029/78; H01L-021/88; H01L-021/95; H01L-027/12

Derwent WPI Acc No: C 89-306109

JAPIO Reference No: 130551E000030

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 1228175	A2	19890912	JP 8855800	A	19880308	(BASIC)
JP 2661112	B2	19971008	JP 8855800	A	19880308	

Priority Data (No,Kind,Date):

JP 8855800 A 19880308

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

02930575 **Image available**

THIN FILM TRANSISTOR MATRIX

PUB. NO.: 01-228175 [JP 1228175 A]

PUBLISHED: September 12, 1989 (19890912)

INVENTOR(s): KAWAI SATORU

TAKIZAWA HIDEAKI

ICHIMURA TERUHIKO

APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 63-055800 [JP 8855800]

FILED: March 08, 1988 (19880308)

INTL CLASS: [4] H01L-029/78; H01L-021/88; H01L-021/95; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)

JOURNAL: Section: E, Section No. 857, Vol. 13, No. 551, Pg. 30,
December 08, 1989 (19891208)

ABSTRACT

PURPOSE: To prevent the occurrence of cracks in a lower gate insulating film due to the deposition stress of a polyimide film by method wherein an interface material of a source drain electrode in contact with the polyimide film is formed of a material selected from Ti, V, Cr, Mo, Ta, and W.

CONSTITUTION: A polyimide film 8 covers a principal face of an active semiconductor layer 4 which includes the surface of a source and a drain electrode. Moreover, the interface of the source drain electrode in contact with the polyimide film 8 is formed using a metal thin layer formed of a metal selected from Ti, V, Cr, Mo, Ta, and W. As mentioned above, the stress acting on a TFT due to the polyimide film can be decreased by using a metal small in a stress value. By these processes, the occurrence of cracks on the gate insulating film 3 due to the deposition stress caused by the polyimide film 3 can be prevented.

⑫ 公開特許公報(A) 平1-228175

⑤ Int. Cl.⁴H 01 L 29/78
21/88
21/95
27/12

識別記号

3 1 1

庁内整理番号

N-7925-5F
M-6824-5F
6824-5F
A-7514-5F

⑬ 公開 平成1年(1989)9月12日

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 薄膜トランジスタマトリクス

⑮ 特 願 昭63-55800

⑯ 出 願 昭63(1988)3月8日

⑰ 発 明 者 川 井 悟 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑱ 発 明 者 滝 沢 英 明 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 発 明 者 市 村 照 彦 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

薄膜トランジスタマトリクス

2. 特許請求の範囲

動作半導体層(4)の一主面上に導電材料からなるソース及びドレイン電極(6)を有し、前記動作半導体層の他の主面にゲート絶縁膜(3)を介してゲート電極(2)が形成された薄膜トランジスタが、透光性の絶縁性基板(1)上にマトリクス状に複数個配設したものである、

前記ソース及びドレイン電極(6)表面を含む前記動作半導体層(4)の一主面上を被覆するポリイミド膜(8)を具備するとともに、

前記ソース及びドレイン電極(6)の前記ポリイミド膜(8)と接する界面が、Ti, V, Cr, Mo, Ta, Wのうらから選ばれた一つの金属薄膜からなることを特徴とする薄膜トランジスタマトリクス。

3. 発明の詳細な説明

〔 概 要 〕

液晶表示装置の駆動等に用いる薄膜トランジスタマトリクスに関し、

ポリイミドの堆積応力によるゲート絶縁膜のクラック発生を防止することを目的とし、

動作半導体層の一主面上に導電材料からなるソース及びドレイン電極を有し、前記動作半導体層の他の主面にゲート絶縁膜を介してゲート電極が形成された薄膜トランジスタが、透光性の絶縁性基板上にマトリクス状に複数個配設されてなり、前記ソース及びドレイン電極表面を含む前記動作半導体層の一主面上を被覆するポリイミド膜を具備するとともに、前記ソース及びドレイン電極の前記ポリイミド膜と接する界面が、Ti, V, Cr, Mo, Ta, Wのうらから選ばれた一つの金属薄膜からなる構成とした。

〔産業上の利用分野〕

本発明は液晶表示装置の駆動等に用いる薄膜ト

ランジスタマトリクスに関する。

〔従来の技術〕

ガラス基板のような透光性絶縁基板上に、マトリクス状に多数の液晶セルを配設し、この液晶セルを駆動するために各液晶セルごとに薄膜トランジスタを配置した液晶表示装置は、パソコンやワープロの表示装置として多用される趨勢にある。

上記マトリクス状に配置された多数の薄膜トランジスタ(TFT)上には、何らかの保護膜を被覆してTFTの保護を行なっている。この保護膜としては、絶縁性が良く、膜形成が容易で、ピンホールが少なく、且つ、作成時にプラズマや電子ビーム等の荷電粒子を用いる必要がなく、従ってTFTに静電的ダメージを与えないという理由から、スピンコート法によって膜形成が可能なポリイミド絶縁膜がかねてより用いられてきた。

〔発明が解決しようとする課題〕

しかしながら、ポリイミドは焼成時に20%程

度の体積減少があり、この時に発生する収縮ストレスにより、保護すべきTFTの絶縁膜を機械的に破壊してしまうという問題があった。

即ち従来のTFTの断面構造は第4図の断面図に示す如く、ガラス基板のような絶縁性基板1上にチタン(Ti)等の導電材料からなるゲート電極2、これの上層に窒化シリコン(SiN)等からなるゲート絶縁膜3、動作半導体層としてのアモルファスシリコン(a-Si)層4、コンタクト層としてのn⁺-a-Si層5が積層され、更にその上にソース・ドレイン電極としてのアルミニウム(Al)膜6'が形成され、その上をポリイミド膜8で保護している。なお、7は二酸化シリコン(SiO₂)膜のような絶縁膜、9及び10はそれぞれクロム(Cr)膜、Al膜で、遮光膜を構成する。

TFTを上記構造とした場合、ポリイミド膜8の収縮ストレスによって、下層のゲート絶縁膜3等にクラック11が発生し、これが原因でゲート電極2とドレイン、ソース電極のAl膜6'間の短

絡が発生する。

そこで本発明は、ポリイミドの堆積応力による下層のゲート絶縁膜のクラック発生を防止することを目的とする。

〔課題を解決するための手段〕

本発明は第1図に示す如く、逆スタガード型のTFTにおいて、ソース、ドレイン電極6のポリイミド膜8と接する界面材料をTi、V、Cr、Mo、Ta、W(以下Ti等のメタルと略記する)のうちから選ばれた一つを用いて形成したものである。

〔作用〕

上記ポリイミドの堆積応力は、ポリイミドの焼成温度の上昇とともに増大することが知られている。しかし、その下地に対する依存性は良く調べられていなかった。本発明者らは上記堆積応力の下地依存性を、Siウエーハのそり量の変化から調査した結果、応力は下地により大きく変化する

ことを見出した。

第2図はその一例として、デュボン社製ポリイミド(PI-2555)を用いた場合の、ポリイミドの焼成温度に対するポリイミド膜の堆積応力との関係を示す図である。同図よりポリイミド膜の下地がAlとTiの場合では、焼成温度が凡そ250℃～300℃の範囲では、そのストレス値が2倍以上も違いがあることが判る。かかる傾向はTiのみでなく、Mo、W、Ta等でも認められ、そのストレス値はTiとほぼ同様であることが判った。

本発明はこのようにストレス値の小さい金属をドレイン電極に用いることにより、TFTの受けるポリイミドのストレスを少なくするもので、上述のTi等のメタルを使用し得る。これによりTFTのダメージを少なくすることができた。

〔実施例〕

以下本発明の一実施例を第1図～第3図を用いて説明する。

このように本実施例で耐圧の低いものが発生しないのは、前述の第2図に見られるように、ポリイミド膜8と接するメタル層がTi膜の場合には、Al膜の場合に比較してポリイミド膜8の堆積応力が著しく小さくなり、下層の動作半導体層4やゲート絶縁膜3に及ぼす収縮ストレスが弱くなり、これら下層膜にクラックが発生しなくなるためである。

かかる効果はポリイミド膜に対する親和性が、AlとTi等との間で異なることによって生じるものと解される。

第1に熱膨張係数がAlはTi等のメタルに比較して遙かにポリイミドに近い。またポリイミドに対する結合力もTi等のメタルに比較して非常

るメタル層がTi等のメタルであれば、Ti等のメタルとポリイミド膜との結合力が小さいため、ポリイミド膜の堆積応力が小さくなって、下層膜の破断を招かずに済むものと考えられる。

上記一実施例では、ソース、ドレイン電極6をTi膜のみの一層構造とした例を示したが、これに変えてソース、ドレイン電極6をTi/Al/Tiのような多層構造とすることもできる。要はソース及びドレイン電極6のポリイミド膜8と接する界面を、Ti等のメタルのうちから選ばれた一つのメタル層膜とすることであって、これらメタルの単層構造でも、他のメタル層との積層構造であっても良い。

-369-

特開平1-228175(3)

上記本発明の一実施例が、前述の第4図に示す従来のTFTと異なるのは、ポリイミド膜と接するソース、ドレイン電極6をTi膜で構成した点である。このようにしたことにより、従来ゲートとドレイン間に生じていた短絡欠陥を全くなくすることができた。

1はガラス基板のような透光性を有する絶縁性基板、2は厚さ約80nmのTi層からなるゲート電極、3は厚さ約300nmのSiN膜からなるゲート絶縁膜、4は動作半導体層としての厚さ約100nmのa-Si層である。

上記SiN膜3は、SiH₄とNH₃の混合雰囲気を用いたプラズマ化学気相成長(P-CVD)法により、基板温度約300℃で形成したものである。5はコンタクト層で、PH₃を凡そ0.5%ドーブしたSiH₄を用いたP-CVD法により形成した厚さ約30nmのn⁺a-Si層、7はSiH₄とN₂Oの混合雰囲気を用いたP-CVD法により形成した厚さ約140nmのSiO₂膜である。

従来は上記n⁺a-Si層5の上層にAl膜からなるソース及びドレイン電極を形成していたが、本実施例では約100nmの厚さに形成したTi膜でソース及びドレイン電極6を構成する。

8は厚さ約1μmのポリイミド(例えばデュボン社製PI-2555)膜であり、その焼成温度は凡そ300℃である。この保護膜としてのポリイミド膜8は、従来と変わるところはない。

7、9、10は動作半導体層のゲート電極2直上部に形成されるチャネル部への光が入射するのを防止するための遮光膜を構成し、7はSiO₂膜、9は約80nmの厚さのCr膜、10は厚さ約1μmのAl膜である。

以上の如く本実施例は、ポリイミド膜8と接するソース、ドレイン電極6を、従来のAl膜に変えてTi膜を用いて形成した。

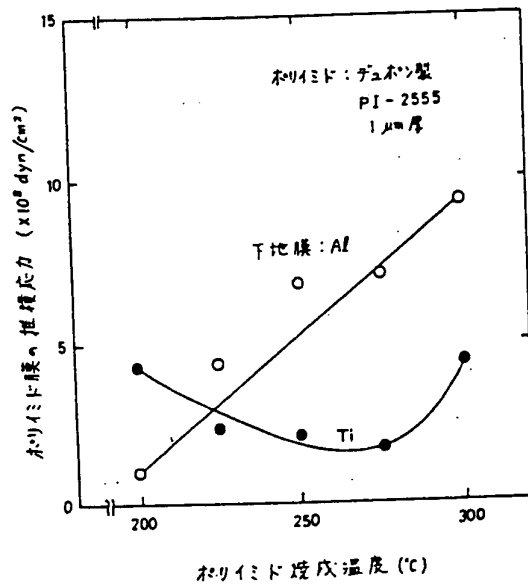
第3図(a)、(b)に本発明の効果を従来例と比較して示した。評価したマトリクスは120×960ドットのマトリクスであって、(a)はソース、ドレイン電極をAl膜6'で構成した従来構造、(b)は

Ti膜を用いた上記一実施例である。

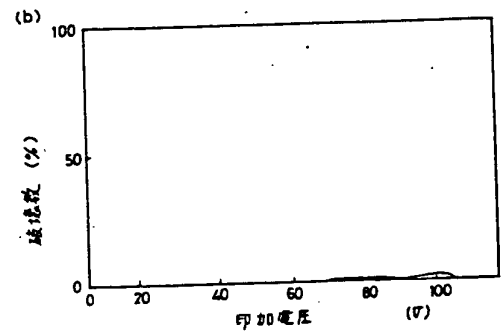
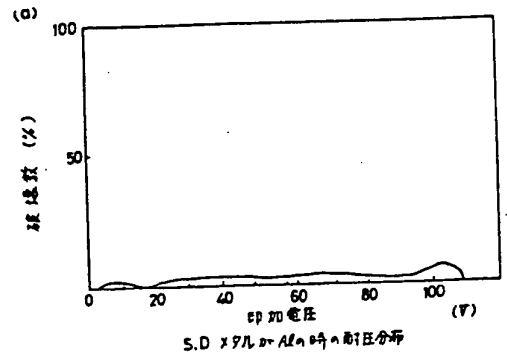
同図から明らかな如く、Al膜6'を用いた従来構造では、耐圧不良は低い値から高い値迄広い分布を示すのに対し、本実施例では正規の値の近辺に集中している。従って本実施例ではTFTの

に強い。因みにAlとポリイミドとを馴染ませるのにカップリング剤を必要としない程である。

これらが原因となってAlはポリイミドと極めて強固に結合するため、Al膜がポリイミド膜と接していると、ポリイミドの堆積応力が大きく下



ポリイミドの堆積応力の焼成温度依存性
第 2 図



TFT フトリクス耐圧分布
第 3 図

-370-

特開平1-228175(4)

(発明の効果)

以上説明した如く本発明によれば、ポリイミドの堆積応力が軽減でき、耐圧の向上を図ることができる。

4. 図面の簡単な説明

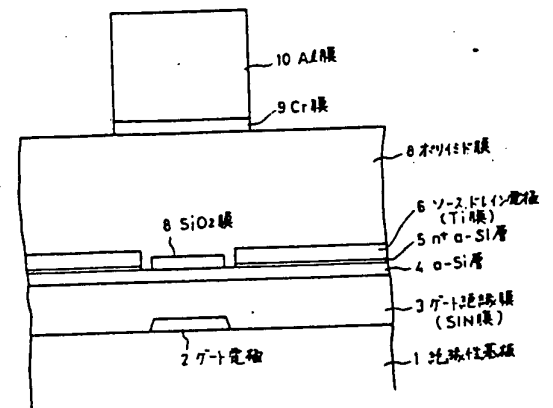
第1図は本発明一実施例の構成説明図、

第2図はポリイミドの堆積応力の焼成温度に対する依存性を示す図、

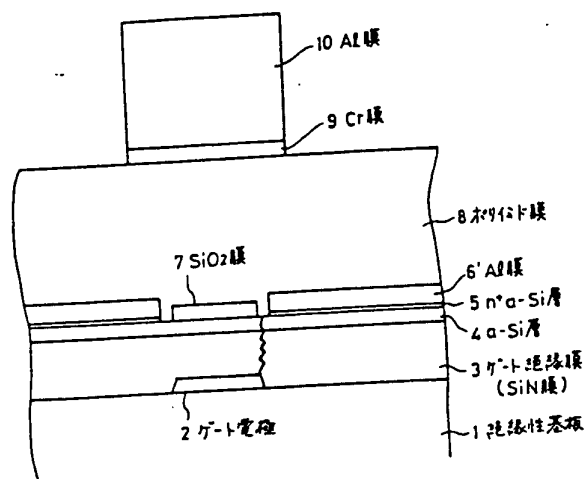
第3図(a)、(b)は上記一実施例の耐圧分布を従来と比較して示す図、

第4図は従来のTFTの構造を示す要部断面図である。

図において、2はゲート電極、3はゲート絶縁膜(SiN膜)、4は動作半導体層(a-Si層)、5はコンタクト層(n⁺a-Si層)、6はソース及びドレイン電極(Ti膜)、8はポリイ



本発明の一実施例の構成説明図
第 1 図



従来のTFT構造を示す要部断面図
第4図

(19) Japan Patent Office (JP)
(12) Publication of Patent Application (A)
(11) Publication Number of Patent Application: Hei-1-228175
(43) Date of Publication of Application: Sep. 12, 1989
(51) Int.Cl.⁴:

H01L 29/78

21/88

21/95

27/12

Identification Number 311

Intraoffice Reference Number

N-7925-5F

M-6824-5F

6824-5F

A-7514-5F

Request for Examination: not made

Number of Inventions: 1 (5 pages in total)

(54) Title of the Invention: THIN FILM TRANSISTOR MATRIX

(21) Application Number Sho-63-55800

(22) Application Date: March 8,

(72) Inventors: Satoru Kawai et al.

(71) Applicant: Fujitsu Kabushiki Kaisha

(74) Agent: Patent Attorney, Iketa Sadaiti

SPECIFICATION

1. Title of the Invention;

THIN FILM TRANSISTOR MATRIX

2. Claim:

A thin film transistor matrix having a plurality of thin film transistors arranged in matrix on a light-transmitting insulating substrate (1), each of said thin film transistors including a source/drain electrode (6) made of an electrically conductive material and formed on one of main planes of an operation semiconductor layer (4), and a gate electrode (2) formed on the other main plane of said operation semiconductor layer through a gate insulating film (3), wherein said thin film transistor further includes a polyimide film (8) for covering said one main plane of said operation semiconductor layer (4) inclusive of a surface of said source/drain electrode (6), and an interface of said source/drain electrode (6) keeping contact with said polyimide film (8) comprises a thin layer of a metal selected from the group consisting of Ti, V, Cr, Mo, Ta and W.

3. Detailed Description of the Invention:

[Summary]

This invention relates to a thin film transistor matrix used for driving a liquid crystal display device, or th like.

The invention has its object to prevent the occurrence of cracks in a gate insulating film resulting from a deposition stress of polyimide.

A thin film transistor matrix according to the invention has a plurality of thin film transistors arranged in matrix on a light-transmitting insulating substrate, each of the thin film transistors including a source/drain electrode made of an electrically conductive material and formed on one of main planes of an operation semiconductor layer, and a gate electrode formed on the other main plane of the operation semiconductor layer through a gate insulating film, wherein the thin film transistor further includes a polyimide film covering one of main planes of the operation semiconductor layer inclusive of a surface of the source/drain electrode, and an interface of the source/drain electrode keeping contact with the polyimide film comprises a thin layer of a metal selected from the group consisting of Ti, V, Cr, Mo, Ta and W.

[Industrial Field of Application]

This invention relates to a thin film transistor matrix used for driving a liquid crystal display device, or the like.

[Prior Art]

A liquid crystal display device in which a large number of liquid crystal cells are arranged in matrix on a light-transmitting insulating substrate such as a glass

substrate and thin film transistors are respectively arranged to drive these liquid crystal/cells has gained a wide application as a display device of personal computers and word processors.

Any protective film is put on the large number of thin film transistors (TFT) arranged in matrix to protect these TFTs. A polyimide insulating film has heretofore been used in most cases as the protective film because the polyimide insulating film can be formed by a spin-coating method, has high insulating property, can be easily formed, has a smaller number of pin-holes, does not require charged particles such as plasma and electron beams during the film formation and hence does not impart electrostatic damage to the TFT.

[Problems that the Invention is to Solve]

However, polyimide exhibits a volume decrease of about 20% during its firing and shrinkage stress occurring at this time mechanically destroys the insulating film of the TFT to be protected.

Fig. 4 is a sectional view showing a sectional structure of the TFT according to the prior art. As shown in the drawing, a gate electrode 2 made of an electrically conductive material such as titanium (Ti) is deposited on an insulating substrate 1 such as a glass substrate. A gate insulating film 3 made of silicon nitride (SiN) or the like, an amorphous silicon (a-Si) layer 4 as an operation semiconductor layer and an n⁺a-Si layer 5 as a contact layer are further stacked

on and over the gate electrode 2. Furthermore, an aluminum (Al) film 6' as a source/drain electrode is formed on the former and a polyimide film 8 operates as a protective layer on the aluminum film 6'. Incidentally, reference numeral 7 denotes an insulating film such as a silicon dioxide (SiO_2) film. Reference numerals 9 and 10 denote respectively a chromium (Cr) film and an Al film. These films together constitute a shielding film.

When the TFT employs the construction described above, a crack 11 occurs in the gate insulating film 3, etc, which are located lower, due to the shrinkage stress of the polyimide film 8, and this crack invites the occurrence of short-circuit between the gate electrode 2 and the Al film 6' of the drain/source electrode.

Therefore, the invention contemplates to prevent the occurrence of the crack of the gate insulating film of the lower layer resulting from the deposition stress of polyimide.
[Means for Solving the Problems]

In TFT of an inverted stagger type as shown in Fig. 1, the invention forms the interface of the source/drain electrode 6 keeping contact with the polyimide film 8 from a member selected from the group consisting of Ti, V, Cr, Mo, Ta and W (hereinafter called "metal such as Ti").

[Operation of the invention]

It is known that the deposition stress of polyimide

increases with the rise of the firing temperature of polyimide. However, its dependence on the base has not been clarified sufficiently. The inventors of this invention have examined dependence of the deposition stress on the base from the change of a warp quantity of Si wafers. As a result, the inventors have found that the stress greatly changes with the base.

Fig. 2 is a diagram showing the relation of the deposition stress of the polyimide film with the firing temperature of polyimide when polyimide (PI-2555) of DuPont Co. is used. It can be understood from Fig. 2 that when the base of the polyimide film is Al and Ti, respectively, the stress value is different by two times or more when the firing temperature is within the range of about 250 to about 300°C. Such a tendency can be observed not only in Ti but also in Mo, W, Ta, and so forth, and the stress value is substantially equal to the stress value of Ti.

The invention uses a metal having a small stress value for the drain electrode to mitigate the stress of polyimide imparted to the TFT receives. The invention can use the metal such as Ti described above. In this way, the invention can reduce the damage of the TFT.

[Embodiment]

An embodiment of the invention will be hereinafter explained with reference to Figs. 1 to 3.

The difference of this embodiment of the invention

from the TFT according to the prior art shown in Fig. 4 resides in that the source/drain electrode 6 keeping contact with the polyimide film is formed of a Ti film. This construction can completely eliminate the short-circuit defect that has occurred between the gate and the drain.

Reference numeral 1 denotes an insulating substrate having light transmission property such as a glass substrate. Reference numeral 2 denotes a gate electrode formed of a Ti layer having a thickness of about 80 nm. Reference numeral 3 denotes a gate insulating film formed of a SiN film having a thickness of about 300 nm. Reference numeral 4 denotes an about 100 nm-thick a-Si layer as an operation semiconductor layer.

The SiN film 3 described above is formed by use of a plasma chemical vapor growth (P-CVD) method using a mixed atmosphere of SiH_4 and NH_3 at a substrate temperature of about 300°C. Reference numeral 5 denotes a contact layer. Reference numeral 5 denotes a contact layer 5 of an about 30 nm-thick n⁺a-Si layer formed by use of the P-CVD method using SiH_4 that is doped with about 0.5% of PH_3 . Reference numeral 7 denotes an about 140 nm-thick SiO_2 film formed by the P-CVD method using a mixed atmosphere of SiH_4 and N_2O .

The source/drain electrode formed of the Al film has been formed in the past as the upper layer of the n⁺a-Si layer 5 described above. In this embodiment, however, the Ti

film formed to a thickness of about 100 nm constitutes the source/drain electrode 6.

Reference numeral 8 denotes an about 1 μm -thick polyimide (such as DuPont PI-2555) film. The firing temperature of this polyimide film is about 300°C. The polyimide film 8 as a protective film is exactly the same as that of the prior art devices.

Members denoted by reference numerals 7, 9 and 10 constitute a shading film for preventing incidence of the rays of light into a channel portion that is formed immediately above the gate electrode 2 of the operation semiconductor layer. Reference numeral 7 denotes a SiO_2 film. Reference numeral 9 denotes an about 80 nm-thick Cr film. Reference numeral 10 denotes an about 1 μm -thick Al film.

As described above, the source/drain electrodes 6 keeping contact with the polyimide film 8 in this embodiment are formed of the Ti film in place of the conventional Al film.

Figs. 3(a) and 3(b) show the effects of the invention in comparison with the prior art example. The matrix that is evaluated is a matrix of 120 by 960 dots. Fig. 3(a) represents the prior art structure in which the source/drain electrode is formed of the Al film 6'. Fig. 3(b) represents the embodiment described above that uses the Ti film.

It can be clearly understood from these diagrams that the defect of the withstand voltage in the prior art

structure using the Al film 6' exhibits a broad distribution from a low value to a high value whereas in the embodiment of the invention, the defect of the withstand voltage concentrates at the vicinity of a normal value, and is small and the production yield can be drastically improved.

The reason why the low withstand voltage does not occur in the embodiment is as follows. When the metal layer keeping contact with the polyimide film 8 is the Ti film, the deposition stress of the polyimide film 8 becomes by far smaller than that of the Al film, the shrinkage stress acting on the operation semiconductor layer and on the gate insulating film 3 as the lower layers becomes weaker and the cracks do not develop in these under layer films as can be understood from Fig. 2.

It is assumed that such an effect is brought forth because affinity with the polyimide film is different between Al and Ti, or the like.

In the first place, the coefficient of thermal expansion of Al is by far closer to that of polyimide than that of the metal such as Ti. The bonding strength of Al to polyimide is extremely greater than the bonding strength of the metal such as Ti. Incidentally, compatibility between Al and polyimide is so high that no coupling agent is necessary.

For these reasons, Al is bonded extremely strongly to polyimide. When the Al film keeps contact with the polyimide film, therefore, the deposition stress of polyimide is so high

that the under layer films are broken. It is believed that when the metal layer keeping contact with the polyimide film is a metal such as Ti, in contrast, the deposition stress of the polyimide film becomes small because the bonding strength between the metal such as Ti and the polyimide film is small, and the lower layers are not broken.

The embodiment described above represents an example of the single-layered structure in which the source/drain electrode 6 is formed of only the Ti film. However, the source/drain electrode 6 may well have a multi-layered structure such as Ti/Al/Ti. What is important hereby is that the interface of the source/drain electrode 6 keeping contact with the polyimide film 8 is formed of a metal thin film selected from the metals such as Ti, and the source/drain electrode 6 may have a single-layered structure of such a metal or a laminate structure with other metal layers.

[Advantage of the Invention]

As explained above, the invention can reduce the deposition stress of polyimide and can improve the withstand voltage.

Brief Description of the Drawings:

Fig. 1 is an explanatory view of a structure of an embodiment according to the invention;

Fig. 2 is a diagram showing dependence of deposition

stress of polyimide on a firing temperature;

Figs. 3(a) and 3(b) are diagrams showing a withstand voltage distribution of the embodiment described above in comparison with a prior art example; and

Fig. 4 is a sectional view of principal portions of a structure of TFT according to the prior art.

In the drawings, reference numerals represent the following members.

- 2: gate electrode
- 3: gate insulating film (SiN film)
- 4: operation semiconductor layer (a-Si layer)
- 5: contact layer (n⁺a-Si layer)
- 6: source/drain electrode (Ti film)
- 8: polyimide film

Fig. 1:

Explanatory view of structure of embodiment
Of the invention

- 1: insulating substrate
- 2: gate electrode
- 3: gate insulating film (SiN film)
- 4: a-Si layer
- 5: n⁺a-Si layer
- 6: source/drain electrode (Ti film)
- 7: SiO₂ film
- 8: polyimide film
- 9: Cr film
- 10: Al film

Fig. 2:

Firing temperature dependence of deposition
Stress of polyimide

- 1: polyimide: DuPont type PI-2555, 1 μ m thick
- 2: base film: Al
- 3: deposition stress of polyimide film ($\times 10^8$ dyn/cm²)
- 4: firing temperature dependence of deposition
stress of polyimide ($^{\circ}$ C)

Fig. 3: Withstand voltage distribution of TFT matrix

Fig. 3(a)

Withstand voltage distribution when 5.D metal is Al

- 1: number of breakage (%)
- 2: impressed voltage (V)

Fig. 3(b):

Withstand voltage distribution when 5.D metal is Ti

- 1: number of breakage (%)
- 2: impressed voltage (V)

Fig. 4:

Main portion sectional view showing prior art TFT structure

- 1: insulating substrate
- 2: gate electrode
- 3: gate insulating film (SiN film)
- 4: a-Si layer
- 5: n⁺a-Si layer
- 6': Al film
- 7: SiO₂ film
- 8: polyimide film
- 9: Cr film
- 10: Al film